

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-086808

(43)Date of publication of application : 20.03.2003

(51)Int.Cl.

H01L 29/786
G02F 1/1368

(21)Application number : 2001-274333

(71)Applicant : KAWASAKI MASASHI
ONO HIDEO
SHARP CORP

(22)Date of filing : 10.09.2001

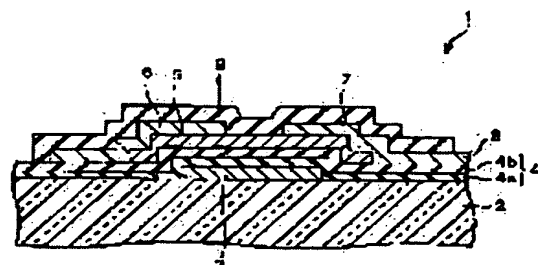
(72)Inventor : KAWASAKI MASASHI
ONO HIDEO
KOBAYASHI KAZUKI
SAKONO IKUO

(54) THIN FILM TRANSISTOR AND MATRIX DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To improve TFT characteristics of a thin film transistor having a transparent semiconductor film.

SOLUTION: A gate insulation film 4 which comprises a first insulation film 4a and a second insulation film 4b is formed on a gate electrode 3. On the second insulation film 4b, a semiconductor layer 5 formed of ZnO or the like is formed. The first insulation film 4a is formed of SiNx or the like having a high insulation property, while the second insulation film 4b is formed of an oxide (for example, SiO₂). Due to this structure, the crystallinity of the semiconductor layer 5 which forms an interface with the second insulation film 4b can be increased, and at the same time, a defective level of an interface between the semiconductor layer and the second insulation film can be reduced. By forming the second insulation film of an oxide, the capture of oxygen by the material of the second insulation film from the semiconductor layer can be suppressed, resulting in the crystallinity being kept in a good condition near the interface of the semiconductor layer with the second insulation film. Consequently, a thin film transistor which has a low level of leakage current in an off-region, has a high mobility and has a good switching characteristic can be realized.



LEGAL STATUS

[Date of request for examination]

18.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-86808

(P2003-86808A)

(43)公開日 平成15年3月20日(2003.3.20)

(51)IntCl.⁷

識別記号

F I

テ-マコ-ト*(参考)

H 0 1 L 29/786

G 0 2 F 1/1368

2 H 0 9 2

G 0 2 F 1/1368

H 0 1 L 29/78

6 1 7 U 5 F 1 1 0

6 1 2 B

6 1 7 T

6 1 8 B

審査請求 未請求 請求項の数7 O L (全 12 頁)

(21)出願番号

特願2001-274333(P2001-274333)

(22)出願日

平成13年9月10日(2001.9.10)

(71)出願人 501122377

川崎 雅司

宮城県仙台市青葉区川内元支倉35番地1-101

(71)出願人 501356721

大野 英男

宮城県仙台市泉区桂3-33-10

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74)代理人 100080034

弁理士 原 謙三

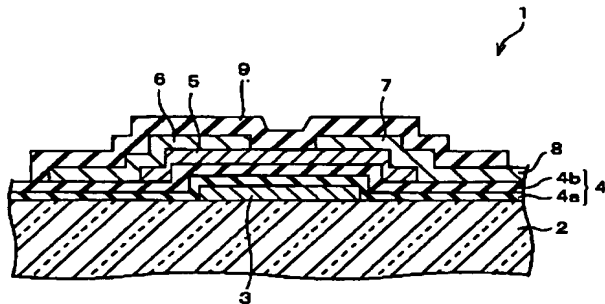
最終頁に続く

(54)【発明の名称】 薄膜トランジスタおよびマトリクス表示装置

(57)【要約】

【課題】 透明半導体膜を有する薄膜トランジスタにおいて、T F T特性を向上させる。

【解決手段】 ゲート電極3上に、第1絶縁膜4 aおよび第2絶縁膜4 bを含むゲート絶縁膜4を形成し、第2絶縁膜4 b上に、Z n Oなどを用いた半導体層5を形成する。第1絶縁膜4 aを絶縁性の高いS i N_xなどで形成する一方、第2絶縁膜4 bを酸化物(例えば、S i O₂)によって形成する。この構造により、第2絶縁膜4 bと界面を形成する半導体層5の結晶性の向上と、半導体層と第2絶縁膜との界面の欠陥準位の低減とを図ることができる。また、第2絶縁膜を酸化物で構成することで、第2絶縁膜の材料によって半導体層から酸素が奪われることを抑制できる。それゆえ、半導体層の第2絶縁膜との界面付近の結晶性が良好に保持される。この結果、オフ領域での漏れ電流レベルが低く、かつ移動度が高いスイッチング特性の良好な薄膜トランジスタが実現できる。



【特許請求の範囲】

【請求項1】 ZnO 、 $Mg_x Zn_{1-x}O$ 、 $Cd_x Zn_{1-x}O$ または CdO 、もしくは1価の価数を取りうる元素またはNiがドーブされた ZnO 、 $Mg_x Zn_{1-x}O$ 、 $Cd_x Zn_{1-x}O$ または CdO を用いた半導体層と、ゲート電極と界面を形成する酸化物以外の材料を用いた第1絶縁膜と、この第1絶縁膜および前記半導体層に挟まれ、双方と界面を形成する酸化物を用いた第2絶縁膜とを有するゲート絶縁膜とを備えていることを特徴とする薄膜トランジスタ。

【請求項2】 前記第2絶縁膜が、 SiO_2 、 Ta_2O_5 、 Al_2O_3 、 TiO_2 、 MgO 、 ZrO_2 、 SnO_2 、 $Yb-ZrO_2$ 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いていることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 ZnO 、 $Mg_x Zn_{1-x}O$ 、 $Cd_x Zn_{1-x}O$ または CdO 、もしくは1価の価数を取りうる元素またはNiがドーブされた ZnO 、 $Mg_x Zn_{1-x}O$ 、 $Cd_x Zn_{1-x}O$ または CdO を用いた半導体層と、ゲート電極と界面を形成する酸化物以外の材料を用いた第1絶縁膜と、この第1絶縁膜および前記半導体層に挟まれ、かつ双方と界面を形成し、 $KNbO_3$ 、 $KTaO_3$ 、 $BaTiO_3$ 、 $CaSnO_3$ 、 $CaZrO_3$ 、 $CdSnO_3$ 、 $SrHfO_3$ 、 $SrSnO_3$ 、 $SrTiO_3$ 、 $YScO_3$ 、 $CaHfO_3$ 、 $MgCeO_3$ 、 $SrCeO_3$ 、 $BaCeO_3$ 、 $SrZrO_3$ 、 $BaZrO_3$ 、 $LiGaO_2$ 、 $LiGaO_2$ の混晶系($Li_{1-x-y}Na_xK_y$)($Ga_{1-x}Al_x$) O_2 またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いた第2絶縁膜とを有するゲート絶縁膜とを備えていることを特徴とする薄膜トランジスタ。

【請求項4】 前記第1絶縁膜が SiN_x からなることを特徴としている請求項1ないし3のいずれか1項に記載の薄膜トランジスタ。

【請求項5】 その上に前記半導体層が形成され、 $KNbO_3$ 、 $KTaO_3$ 、 $BaTiO_3$ 、 $CaSnO_3$ 、 $CaZrO_3$ 、 $CdSnO_3$ 、 $SrHfO_3$ 、 $SrSnO_3$ 、 $SrTiO_3$ 、 $YScO_3$ 、 $CaHfO_3$ 、 $MgCeO_3$ 、 $SrCeO_3$ 、 $BaCeO_3$ 、 $SrZrO_3$ 、 $BaZrO_3$ 、 $LiGaO_2$ 、 $LiGaO_2$ の混晶系($Li_{1-x-y}Na_xK_y$)($Ga_{1-x}Al_x$) O_2 またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いた下地層をさらに備え、スタガ型に形成されていることを特徴とする請求項1ないし4のいずれか1項に記載の薄膜トランジスタ。

【請求項6】 マトリクス状に配列されたスイッチング素

子を備えたマトリクス表示装置であって、請求項1ないし5のいずれか1項に記載の薄膜トランジスタを前記スイッチング素子として用いていることを特徴とするマトリクス表示装置。

【請求項7】 前記スイッチング素子を駆動する駆動回路を備え、請求項1ないし5のいずれか1項に記載の薄膜トランジスタを前記駆動回路を構成するトランジスタとして用い、前記スイッチング素子および前記トランジスタが同時に形成されることを特徴とする請求項6に記載のマトリクス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、透明半導体膜を有する薄膜トランジスタおよびそれを用いたマトリクス表示装置に関するものである。

【0002】

【従来の技術】 液晶表示装置などのマトリクス表示装置は、マトリクス状に配列された絵素と、各絵素に駆動電圧を書き込むスイッチング素子とを備えている。スイッチング素子がONすると、駆動電圧が絵素に書き込まれ、スイッチング素子がOFFすると、駆動電圧の書き込みは行われない。このようなスイッチング素子として広く用いられている薄膜トランジスタ(TFT)は、通常、半導体層にアモルファスシリコンを使用している。

【0003】 アモルファスシリコンは光の照射により導電性を示すことから、薄膜トランジスタには、スイッチング特性が低下するのを防止する目的でチャネル遮光膜を設ける必要がある。遮光膜の設置は、薄膜トランジスタの製造工程数の増加、絵素の開口率の低下などの製造コストアップおよびディスプレイ性能の低下を招く。したがって、このような問題を解決するため、光電流の無い透明な半導体材料を用いたトランジスタが提案されている。

【0004】 例えば、透明半導体材料は、特開平5-251705号公報(文献1)、特開平6-067187号公報(文献2)、特表平11-505377号公報(文献3)などに開示されている。

【0005】 文献1には、エネルギーバンドギャップが3 eV以上でキャリア濃度が 10^{18} 個 cm^{-3} 以下の透光性半導体層を用いることで遮光膜を無くし、開口率を向上させることが開示されている。また、文献2には、開口率の向上および製造工程の短縮の目的で、液晶駆動用トランジスタのソース部、チャネル部およびドレイン部と、液晶駆動用電極とが共通の透明半導体薄膜で形成されている技術が開示されている。また、文献3においては、透明なスイッチング素子を得るために、チャネル層としてバンドギャップが2.5 eV以上の縮退半導体材料を用いた例が開示されている。

【0006】 ここで、図10に、従来の薄膜トランジスタの V_g - I_d 特性を示す。この薄膜トランジスタは、a-Si

(アモルファスシリコン) TFTの作製において一般的に用いられているPECVD法により成膜されたSiN_x (単層)をゲート絶縁膜として用い、半導体材料としてZnOを用いている。図10から、チャネル寸法がL/W=5/15 μm程度(Lはチャネル長さを表し、Wはチャネル幅を表す)の通常液晶ディスプレイに使用される大きさのTFTにおいて電界効果移動度(μ_{FE})が0.52 cm²/Vsのa-SiTFT同等の良好な特性が得られた。

【0007】また、高品質の半導体材料を得るための手法は、特開平9-59087号公報(文献4)、特開2000-277534号公報(文献5)などに開示されている。

【0008】文献4には、成膜材料の配向性を向上させるために、ガラス基板表面に成膜材料と異なる材料からなる中間層を設けた後、その上に成膜材料を形成することを特徴とする薄膜の形成方法が開示されている。また、文献5には、格子不整合性が小さい材料を下地基板に用いることで、単結晶に近い高品質の半導体薄膜を形成する方法が開示されている。

【0009】

【発明が解決しようとする課題】今後、更に高精細なディスプレイを作製したり、より高開口率を得るためにTFTそのものを小型化したりするためには、TFT特性(移動度、on/off比など)をより向上させる必要がある。

【0010】上記のTFT特性の向上には、チャネルを形成する半導体材料の結晶性を向上させること、および半導体とゲート絶縁膜との界面の欠陥準位を低減することが必要である。そのために、その半導体材料と界面を形成する絶縁膜材料の適切な選定が重要となる。

【0011】しかし、上記の透明半導体材料を開示した各文献に記載されたトランジスタなどの構成では、絶縁膜が透明半導体材料の結晶性に及ぼす影響、界面の状態ひいては作製されたTFTのトランジスタ特性への影響などは一切考察されていない。また、チャネルと界面を形成するゲート絶縁膜は、いずれも単一の絶縁性材料を用いて構成されている。特に、前述のSiN_x (単層)を用いた絶縁膜とZnOを用いた半導体層とが界面を形成する場合、ZnOからSiN_xによって酸素が奪われるので、界面付近のZnOの結晶性が低下する。

【0012】一方、高品質薄膜形成方法では、薄膜を堆積成膜させる基板材料について、さらには基板材料と薄膜との間に形成される中間層、緩衝層については述べられている。

【0013】しかし、それらは、薄膜を単結晶に近く成膜するための手法であり、薄膜を電界効果型トランジスタの半導体層として用いたときのゲート絶縁膜としての中間層、緩衝層を用いたものではない。

【0014】このように、従来の技術では、透明半導体

材料を薄膜トランジスタに応用した際のゲート絶縁膜の選択によるTFT特性の向上に関する考察はなされていない。

【0015】本発明は、上記問題点に鑑みてなされたものであり、透明半導体材料のマトリクス表示装置におけるスイッチング素子への応用を、より広範囲に、かつ有効に行うために、TFT特性を向上できるゲート絶縁膜を有する薄膜トランジスタおよびそれを備えたマトリクス表示装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の薄膜トランジスタは、上記の課題を解決するために、ZnO、Mg_xZn_{1-x}O、Cd_xZn_{1-x}OまたはCdO、もしくは1価の価数を取りうる元素またはNiがドーブされたZnO、Mg_xZn_{1-x}O、Cd_xZn_{1-x}OまたはCdOを用いた半導体層と、ゲート電極と界面を形成する酸化物以外の材料を用いた第1絶縁膜と、この第1絶縁膜および前記半導体層に挟まれ、双方と界面を形成する酸化物を用いた第2絶縁膜とを有するゲート絶縁膜とを備えていることを特徴としている。

【0017】上記の構成では、第2絶縁膜が酸化物を用いることにより、この第2絶縁膜と界面を形成する半導体層との界面整合性を良好に保つことができる。また、第1絶縁膜が酸化物以外の材料を用いているので、a-SiTFTプロセスのような比較的低温の温度範囲において作製された薄膜トランジスタでは、酸化物を用いた第2絶縁膜に比べて絶縁性を高くすることができる。

【0018】このように、ゲート絶縁膜を異なる2層の絶縁膜で構成することによって、第2絶縁膜と界面を形成する半導体層の結晶性の向上と、半導体層と第2絶縁膜との界面の欠陥準位の低減とを図ることができる。また、第2絶縁膜を酸化物で構成することで、第2絶縁膜の材料によって半導体層(ZnOなど)から酸素が奪われることを抑制できる。それゆえ、半導体層の第2絶縁膜との界面付近の結晶性が良好に保持される。この結果、オフ領域での漏れ電流レベルが低く、かつ移動度が高いスイッチング特性の良好な薄膜トランジスタが実現できる。

【0019】上記の薄膜トランジスタにおいて、前記第2絶縁膜は、SiO₂、Ta₂O₅、Al₂O₃、TiO₂、MgO、ZrO₂、stab-ZrO₂、CeO₂、K₂O、Li₂O、Na₂O、Rb₂O、In₂O₃、La₂O₃、Sc₂O₃、Y₂O₃またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いていることが好ましい。このように、第2絶縁膜を上記の酸化物で構成することで、第2絶縁膜の材料によって半導体層(ZnOなど)から酸素が奪われることがほとんどなくなる。

【0020】本発明の他の薄膜トランジスタは、上記の課題を解決するために、ZnO、Mg_xZn_{1-x}O、C

10

20

30

40

50

d_x 、 $Zn_{1-x}O$ または CdO 、もしくは1価の価数を取りうる元素または Ni がドーパされた ZnO 、 $Mg_xZn_{1-x}O$ 、 $Cd_xZn_{1-x}O$ または CdO を用いた半導体層と、ゲート電極と界面を形成する酸化物以外の材料を用いた第1絶縁膜と、この第1絶縁膜および前記半導体層に挟まれ、かつ双方と界面を形成し、 $KNbO_3$ 、 $KTaO_3$ 、 $BaTiO_3$ 、 $CaSnO_3$ 、 $CaZrO_3$ 、 $CdSnO_3$ 、 $SrHfO_3$ 、 $SrSnO_3$ 、 $SrTiO_3$ 、 $YScO_3$ 、 $CaHfO_3$ 、 $MgCeO_3$ 、 $SrCeO_3$ 、 $BaCeO_3$ 、 $SrZrO_3$ 、 $BaZrO_3$ 、 $LiGaO_2$ 、 $LiGaO_2$ の混晶系($Li_{1-x}Na_xK_x$)($Ga_{1-x}Al_x$) O_2 またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いた第2絶縁膜とを有するゲート絶縁膜とを備えていることを特徴としている。

【0021】上記の構成では、第2絶縁膜が酸化物を用いることにより、この第2絶縁膜と界面を形成する半導体層との界面整合性を良好に保つことができる。特に、上記の酸化物および固溶体は、半導体層を構成する ZnO などとの格子不整合が小さく、界面整合性を極めて良好に保つことができる。また、第1絶縁膜が酸化物以外の材料を用いているので、 $a-SiTFET$ プロセスのような比較的低温の温度範囲において作製された薄膜トランジスタでは、酸化物を用いた第2絶縁膜に比べて絶縁性を高くすることができる。

【0022】このように、ゲート絶縁膜を異なる2層の絶縁膜で構成することによって、第2絶縁膜と界面を形成する半導体層の結晶性の向上と、半導体層と第2絶縁膜との界面の欠陥単位の低減とを図ることができる。また、第2絶縁膜を上記の酸化物で構成することで、第2絶縁膜の材料によって半導体層(ZnO など)から酸素が奪われることがほとんどない。それゆえ、半導体層の第2絶縁膜との界面付近の結晶性が良好に保持される。この結果、オフ領域での漏れ電流レベルが低く、かつ移動度が高いスイッチング特性の良好な薄膜トランジスタが実現できる。

【0023】上記の各薄膜トランジスタにおいて、前記第1絶縁膜が SiN_x を用いていることが好ましい。 SiN_x は、(1)酸化物絶縁膜に対して比較的低温でも高い絶縁特性を示し、(2)透湿性が低く、デバイスの信頼性を保持でき、(3) SiO_2 と比較して可動イオンを抑制できるという優位性を備えるため、ゲート絶縁膜に良好な絶縁特性を与えることができる。このため、第2絶縁膜を薄く形成しても、ゲート絶縁膜の絶縁性を十分確保できる。

【0024】上記の各薄膜トランジスタにおいて、その上に前記半導体層が形成され、 $KNbO_3$ 、 $KTaO_3$ 、 $BaTiO_3$ 、 $CaSnO_3$ 、 $CaZrO_3$ 、 $CdSnO_3$ 、 $SrHfO_3$ 、 $SrSnO_3$ 、 $SrTiO_3$ 、 $YScO_3$ 、 $CaHfO_3$ 、 $MgCeO_3$ 、 SrC

eO_3 、 $BaCeO_3$ 、 $SrZrO_3$ 、 $BaZrO_3$ 、 $LiGaO_2$ 、 $LiGaO_2$ の混晶系($Li_{1-x}Na_xK_x$)($Ga_{1-x}Al_x$) O_2 またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いた下地層をさらに備え、スタガ型に形成されていることが好ましい。

【0025】スタガ型の薄膜トランジスタにおいては、遮光膜が不要の場合、基板上にソース電極およびドレイン電極と、半導体層とが形成される。このため、基板の材料によっては、半導体との格子整合性が悪い場合があり、薄膜トランジスタの特性を低下させることになる。そこで、上記の酸化物またはそれらの固溶体を用いた下地層上に半導体層を形成することによって、前述の薄膜トランジスタにおける第2絶縁膜と同様、半導体層との格子整合性が良好になる。これにより、基板材料に関わらず、半導体層の特性の劣化が防止されるので、基板材料を半導体層との格子整合性が良好な材料に限定する必要がない。

【0026】本発明のマトリクス表示装置は、上記の課題を解決するために、マトリクス状に配列されたスイッチング素子を備えたマトリクス表示装置であって、上記のいずれかの薄膜トランジスタを前記スイッチング素子として用いていることを特徴としている。

【0027】上記の高性能な薄膜トランジスタを用いることによって、マトリクス表示装置におけるスイッチング特性が向上する。

【0028】上記のマトリクス表示装置においては、前記スイッチング素子を駆動する駆動回路を備え、上記のいずれかの薄膜トランジスタを前記駆動回路を構成するトランジスタとして用い、前記スイッチング素子および前記トランジスタが同時に形成されることが好ましい。

【0029】駆動回路を構成するトランジスタをも、上記の薄膜トランジスタで構成することによって、マトリクス表示装置の製造工程の削減が図られる。

【0030】

【発明の実施の形態】〔実施の形態1〕本発明の第1の実施の形態について図1ないし図3に基づいて説明すれば、以下の通りである。

【0031】図1に示すように、本実施の形態に係る薄膜トランジスタ1は、絶縁性基板2上に形成されたゲート電極3の上に、ゲート絶縁膜4を介して半導体層5が積層され、この半導体層5上の両側に、ソース電極6とドレイン電極7とが形成される逆スタガ型の構造をなしている。また、この薄膜トランジスタ1においては、マトリクス表示装置に用いられる場合、ドレイン電極7に接続される絵素電極8が、第2絶縁膜4b上に形成される。さらに、この薄膜トランジスタ1には、半導体層5、ソース電極6およびドレイン電極7を覆う保護膜9が形成されている。

【0032】透明な半導体層5は、 ZnO 、 Mg_xZn

、 Cd 、 Zn 、 O または CdO 、もしくは1価の価数を取りうる元素または Ni がドーピングされた ZnO 、 Mg 、 Zn 、 O 、 Cd 、 Zn 、 O または CdO を用いて形成されている。

【0033】ゲート絶縁膜4は、第1絶縁膜4aおよび第2絶縁膜4bを含んでいる。

【0034】第1絶縁膜4aは、絶縁性基板2およびゲート電極3上に積層されて、ゲート電極3と界面を形成している。この第1絶縁膜4aは、酸化物以外の絶縁性の良好な材料、例えば、 SiN_x （窒化シリコン）によ

って形成されている。

【0035】第2絶縁膜4bは、第1絶縁膜4aと半導体層5とに挟まれるように、第1絶縁膜4a上に形成されており、第1絶縁膜4aおよび半導体層との双方と界面を形成している。この第2絶縁膜4bは、 SiO_2 、 Ta_2O_5 、 Al_2O_3 、 TiO_2 、 MgO 、 ZrO_2 、 stabilized-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いて形成されている。

【0036】また、第2絶縁膜4bは、IIaからVIIa族元素の酸化物（第1酸化物）、それら元素の混合物の酸化物（第2酸化物）、またはそれらの酸化物（第1および第2酸化物）のうち少なくとも2つを含む固溶体が、単層または複数積層されていてもよい。あるいは、第2絶縁膜4bは、IIbからIVb族元素の酸化物（第3酸化物）、それら元素の混合物の酸化物（第4酸化物）、またはそれらの酸化物（第3および第4酸化物）のうち少なくとも2つを含む固溶体が、単層または複数積層されていてもよい。

【0037】ここで、上記のように構成される薄膜トランジスタ1の製造方法を、図2の製造工程図を用いて以下に説明する。

【0038】まず、絶縁性基板2に、ゲート電極3となるゲート電極材としてTaを300nmの厚さでスパッタリングによって積層し、この上にフォトリソグラフィ工程にて所定の形状のレジストパターンを作製する。このレジストパターンを用いてゲート電極材に CF_4 、 $+\text{O}_2$ ガスによってドライエッチングを施し、その形状にパターンニングされたゲート電極3およびこれに接続されるゲート配線（図示せず）を形成する（図2（a））。絶縁性基板2としては、ガラス基板、石英、プラスチック等が用いられ、ゲート電極材にはTaの他にAl、Crなどが用いられる。

【0039】次に、第1絶縁膜4aとして、窒化シリコン膜をP-CVD法によって400nm積層する（図2（b））。このときの成膜条件は、基板温度が330℃であり、ガス圧力が1.5 Torrであり、RFパワー（スパッタパワー）が1.5 kWであり、ガス流量が SiH_4 、 $/\text{NH}_3$ 、 $/\text{N}_2 = 150/750/2000 \text{ sccm}$ であ

る。

【0040】なお、窒化シリコン膜の成膜方法としては、その他、スパッタリング法などでもよい。

【0041】さらに、第2絶縁膜4bとして、例えば、 SiO_2 薄膜をスパッタリング法によって10nm積層する（図2（c））。 SiO_2 薄膜の成膜時の基板温度は200℃、ガス流量は酸素/アルゴン=40/80 sccm、圧力0.7 Pa、RFパワー4 kWで成膜する。

【0042】そして、半導体材料としてZnOをスパッタリング法によって200nm積層し、フォトリソグラフィおよびウェットエッチングによって、ゲート電極3の上方で島状となるように加工する（図2（d））。ZnOを成膜する方法としては、他にパルスレーザー堆積法、液相析出法、ゾルゲル法などいずれの方法でも可能である。

【0043】続いて、スパッタリング法によりTaを200nm成膜し、フォトリソグラフィおよび CF_4 、 $+\text{O}_2$ ガスを用いたドライエッチングによってソース電極6およびドレイン電極7を形成する。また、スパッタリング法によりITO (Indium Tin Oxide)を100nm成膜し、ドレイン電極7に接続されるように、第2絶縁膜4b上に、フォトリソグラフィおよびエッチング液（塩酸+硝酸）によるウェットエッチングを行うことによ

りて、絵素電極8を形成する（図2（e））。

【0044】最後に、P-CVD法によって、窒化シリコン薄膜を300nm成膜し、この窒化シリコン膜における絵素電極8上と端子部パッド（図示せず）上の部分をフォトリソグラフィおよびドライエッチングにより除去することで保護膜9を形成し、薄膜トランジスタ1が完成する（図2（f））。

【0045】上記のようにして作製された薄膜トランジスタ1の $V_{\text{g}}-\text{Id}$ 特性を図3に示す。また、比較例として、従来の薄膜トランジスタの $V_{\text{g}}-\text{Id}$ 特性を図10に示す。これらの薄膜トランジスタのチャネル寸法は、 $L/W = 5/20 \mu\text{m}$ である。

【0046】従来の薄膜トランジスタにおけるゲート絶縁膜（ SiN_x ）と半導体層（ZnO）との界面では、ゲート絶縁膜が、半導体層における酸素の一部を取り込んで酸化物層を形成するため、半導体層が酸素欠損を起こしていたと考えられる。このため、図10に示すように、この薄膜トランジスタでは、電界効果移動度（ μ_{FE} ）が $0.52 \text{ cm}^2/\text{Vs}$ であり小さい。

【0047】これに対し、本薄膜トランジスタ1では、図1に示すように、半導体層5（ZnO）と界面を形成する第2絶縁膜4bが酸化物であるため、ZnOの酸素欠損が発生せず、特性が向上している。具体的には、図3からわかるように、この薄膜トランジスタ1の電界効果移動度が $1.3 \text{ cm}^2/\text{Vs}$ に向上した。

【0048】また、第2絶縁膜4b（例えば SiO_2 ）は10nmと薄いので絶縁性はあまり高くない。しか

し、第1絶縁膜4a (SiN_x) が高い絶縁性を有するため、ゲート電極3からのリーク電流が低く抑えられて、良好な特性を得ることができる。

【0049】このように、本実施の形態に係る薄膜トランジスタ1は、絶縁性の高い第1絶縁膜4aと、半導体層5 (ZnO など) から酸素を奪わない酸化物を用いた第2絶縁膜4bとを有するゲート絶縁膜4を備えている。これにより、ゲート絶縁膜4による絶縁性およびゲート絶縁膜4と半導体層5との界面特性を向上させることができる。この結果、オフ領域での漏れ電流レベルが低く、かつ移動度が高いスイッチング特性の良好な薄膜トランジスタ1が実現できる。

【0050】第1絶縁膜4aの材料として用いられる SiN_x は、一般の酸化物絶縁膜と比較して、低温 (300°C 程度) で成膜しても、高い絶縁性を示す。また、 SiN_x は、透湿性が低く、デバイスの信頼性を保持することもできる。さらに、 SiN_x は、第2絶縁膜4bの材料として用いた SiO_2 と比較して、デバイス特性を低下させる要因となる可動イオンを抑制することができる。したがって、第1絶縁膜4aの材料として SiN_x を用いることによって、 SiO_2 からなる単層のゲート絶縁膜を用いた薄膜トランジスタよりも高性能かつ高信頼性の薄膜トランジスタを得ることができる。

【0051】〔実施の形態2〕第2の実施の形態について、図1および図4に基づいて説明すれば、以下の通りである。なお、本実施の形態において、前述の実施の形態1における構成要素と同等の機能を有する構成要素については、同じ符号を付記してその説明を省略する。

【0052】本実施の形態に係る薄膜トランジスタ1は、図1に示す構造をなすが、半導体層5およびゲート絶縁膜4における第2絶縁膜4bを形成するための材料が実施の形態1の薄膜トランジスタ1と異なる。

【0053】半導体層5の材料としては、 ZnO 、 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 、 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ または CdO 、もしくは1価の価数を取りうる元素またはNiがドープされた ZnO 、 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 、 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ または CdO を用いている。また、第2絶縁膜4bの材料としては、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 ($\text{Li}_{1-x}\text{Na}_x\text{K}_x$) ($\text{Ga}_{1-x}\text{Al}_x$) O_2 またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いている。

【0054】上記のように構成される薄膜トランジスタ1の製造方法を、図2の製造工程図を用いて以下に説明する。

【0055】絶縁性基板2上にゲート電極3および第1絶縁膜4aを形成する工程 (図2 (a) および (b))

については、実施の形態1で説明した工程と同様である。

【0056】続く、第2絶縁膜4bを形成する工程 (図2 (c)) においては、 ZnO などと格子ミスマッチの小さい材料である材料として、例えば CaZrO_3 の薄膜をパルスレーザーデポジション法にて10nm積層する。このときの成膜条件は、基板温度が 300°C であり、酸素雰囲気圧が10mTorrであり、レーザーパワーが150mV、5Hzである。

【0057】さらに、半導体層5を形成する工程 (図2 (d)) においては、第2絶縁膜4bの上に、例えば ZnO からなる透明半導体膜をパルスレーザーデポジション法にて200nm積層する。このときの成膜条件は、基板温度が 300°C であり、酸素雰囲気圧が100mTorr、レーザーパワーが100mV、10Hzである。

【0058】以下に続くドレイン電極6およびソース電極7から保護膜9の形成に至る工程 (図2 (e) および (f)) は、前述の実施の形態1で説明した工程と同様である。

【0059】上記のようにして作製された薄膜トランジスタ1の $V_{\text{g}}\text{-I}_{\text{d}}$ 特性を図4に示す。

【0060】本薄膜トランジスタ1では、半導体層5 (ZnO) と界面を形成する下地膜としての第2絶縁膜4bの格子間距離が ZnO に近く、 ZnO の結晶性が向上している。この結果、本薄膜トランジスタ1の電界効果移動度 (μ_{fe}) が $1.8\text{ cm}^2/\text{Vs}$ に向上した。

【0061】また、第2絶縁膜4bを30nm積層した結果、電界効果移動度が $3.3\text{ cm}^2/\text{Vs}$ にまで向上できた。

【0062】ここで、第2絶縁膜4bの前述の各材料はペロフスカイト構造を持ち、(111)面で格子間隔の不整合が論じられる。 ZnO および前述の各々の格子定数から計算した結果、前述の各材料における上記の不整合が最大で2%程度であり、それらの材料は、 ZnO と格子定数の整合性が高いことがわかる。したがって、このような材料を用いて形成された第2絶縁膜4b上に ZnO が半導体層5として成膜されると、半導体層5の結晶性が向上するので、高品質の半導体薄膜を形成することができる。それゆえ、作製された薄膜トランジスタ1は、優れた特性を有し、移動度の向上を実現できる。

【0063】これにより、薄膜トランジスタ1をマトリクス表示装置の絵素用のスイッチング素子に好適であるように小型化することができる。また、後述するように、平面にマトリクス状に配列された薄膜トランジスタ1の駆動用素子としても応用可能であり、これらは絵素内のスイッチング素子と同時に作製可能である。

【0064】〔実施の形態3〕第3の実施の形態について、図5ないし図7に基づいて説明すれば、以下の通りである。なお、本実施の形態において、前述の実施の形態1における構成要素と同等の機能を有する構成要素に

ついては、同じ符号を付記してその説明を省略する。

【0065】図5に示すように、本実施の形態に係る薄膜トランジスタ11は、絶縁性基板2上に、ゲート電極6、ソース電極7およびこれらに接続される半導体層5が形成され、ゲート絶縁膜4を介して、その上にゲート電極3が形成されるスタガ型の構造をなしている。この薄膜トランジスタ11において、注目すべきは、ゲート電極6、ソース電極7および半導体層5が絶縁性基板2上に直接形成されるのではなく、絶縁性基板2上に形成された下地絶縁膜12（下地層）を介して、その上に形成されていることである。

【0066】上記の下地絶縁膜12は、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系（ $\text{Li}_{1-x}\text{Na}_x\text{K}_x$ ）（ $\text{Ga}_{1-x}\text{Al}_x$ ） O_2 、またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いて形成されている。

【0067】また、この薄膜トランジスタ11においては、マトリクス表示装置に用いられる場合、ドレイン電極7に接続される絵素電極8が、下地絶縁層12上に形成される。さらに、この薄膜トランジスタ11には、ゲート電極3、ゲート絶縁膜4、半導体層5、ソース電極6およびドレイン電極7を覆う保護膜9が形成されている。

【0068】ここで、上記のように構成される薄膜トランジスタ11の製造方法を、図6の製造工程図を用いて以下に説明する。

【0069】まず、絶縁性基板2に、下地絶縁膜12となる材料として CaHfO_3 をスパッタリング法により10nm積層する（図6（a））。このときの成膜条件は、温度が200℃であり、ガス流量が酸素／アルゴン＝40／60sccmであり、圧力が0.7Paである。

【0070】次に、上記の下地絶縁膜12上にスパッタリング法によりITO（Indium Tin Oxide）を100nm成膜する。そのITO膜に、フォトリソグラフィおよびエッチング液（塩酸＋硝酸）によるウエットエッチングを行うことで、ソース電極6、ドレイン電極7および絵素電極8を同時に形成する（図6（b））。

【0071】続いて、半導体材料としてZnOからなるZnO膜51をスパッタリング法によって200nm積層する（図6（c））。このときの成膜条件は、基板温度が280℃、ガス流量が酸素／アルゴン＝40／80sccmであり、圧力が0.7Paである。ZnO膜を形成する方法としては、他にパルスレーザー堆積法、液相析出法、ゾルゲル法などいずれの方法でも可能である。

【0072】さらに、第2絶縁膜4bとなる SiO_2 薄膜41をスパッタリング法によって10nm積層する

（図6（d））。 SiO_2 薄膜41の成膜条件は基板温度が200℃であり、ガス流量が酸素／アルゴン＝40／60sccmであり、圧力が0.7Paである。

【0073】そして、第1絶縁膜4aとなる窒化シリコン膜42をP-CVD法によって400nm積層するとともに、その上に、ゲート電極3となるTa膜31を300nmスパッタリング法にて成膜する（図6（e））。

【0074】窒化シリコン膜42の成膜条件は、基板温度が330℃であり、ガス圧力が1.5Torrであり、RFパワー（スパッタパワー）が1.5kWであり、ガス流量は、 SiH_4 ／ NH_3 ／ N_2 ＝150／750／2000sccmである。

【0075】なお、窒化シリコン膜42の成膜方法としては、その他、スパッタリング法などでもよい。

【0076】その後、Ta膜31上に、ゲートパターンのレジストをフォトリソグラフィにて形成し、このTa膜31と、窒化シリコン膜42と、 SiO_2 膜41と、ZnO膜51とをパターンニングして、ゲート電極3と、ゲート絶縁膜4と、半導体層5とを形成する（図6（f））。このとき、Ta膜31および窒化シリコン膜42を CF_4 、 $+\text{O}_2$ ガスを用いたドライエッチングによってパターンニングする。引き続き、 SiO_2 膜41およびZnO膜51をフッ酸＋硝酸の混合液にてウエットエッチングする。

【0077】最後に、P-CVD法によって、窒化シリコン薄膜を300nm成膜し、この窒化シリコン薄膜における絵素電極8上と端子部パッド（図示せず）上の部分をフォトリソグラフィおよびドライエッチングにより除去することで保護膜9を形成し、薄膜トランジスタ11が完成する（図2（f））。

【0078】スタガ型の薄膜トランジスタ11においては、半導体層5（ZnO）が、下地絶縁膜12上に形成されている。この下地絶縁膜12は、前述の実施の形態2で第2絶縁膜4bの材料として用いた、ZnOと格子整合性のよい酸化物であるので、半導体層5と下地絶縁膜12とで形成される界面の特性が向上する。したがって、スタガ型の薄膜トランジスタ11においても、半導体層5の結晶性を向上させることができる。

【0079】また、下地絶縁膜12を設けることによって、絶縁性基板2の材料が、半導体層5との格子整合性が良好でない材料であっても、半導体層5の特性の劣化が防止される。したがって、基板材料を、半導体層5との格子整合性が良好な材料に限定する必要がない。

【0080】ここで、上記のようにして作製された薄膜トランジスタ11の V_g - I_d 特性を図7に示す。この薄膜トランジスタ11のチャンネル寸法は、 $L/W=5/20\mu\text{m}$ である。この薄膜トランジスタ11では、 $1.1\text{cm}^2/\text{Vs}$ という高い電界効果移動度が得られた。

【0081】以上の各実施の形態における薄膜トランジ

スタ 1・11 は、移動度、on/off 比などが良好なスイッチング特性を示しており、現在、液晶ディスプレイに広く用いられている a-Si TFT と同等以上の性能が得られる。また、ZnO と界面を形成する絶縁膜（第 2 絶縁膜 4b または下地絶縁膜 12）の成膜条件如何では、実施の形態 2 の最後で述べたように、高い移動度（数 cm^2/Vs ）が得られる。これにより、液晶ディスプレイにおけるスイッチング素子として、薄膜トランジスタ 1・11 を小型化することができる。

【0082】なお、前述の実施の形態 1 ないし 3 では、10 薄膜トランジスタ 1・11 の製造工程の説明（図 2

（a）ないし（f）および図 6（a）ないし（g））において、特定の材料を用いた例について説明した。しかしながら、各実施の形態に例示した各材料を用いて作製した薄膜トランジスタ 1・11 についても、上記の特定の材料によって作製された薄膜トランジスタ 1・11 と同様、性能が向上する。

【0083】〔実施の形態 4〕第 4 の実施の形態について、図 8 および図 9 に基づいて説明すれば、以下の通りである。なお、本実施の形態において、前述の実施の形態 1 および 3 における構成要素と同等の機能を有する構成要素については、同じ符号を付記してその説明を省略する。

【0084】図 8 に示すように、本実施の形態に係るマトリクス表示装置は、液晶ディスプレイであって、絵素アレイ 21 と、ソースドライバ 22 と、ゲートドライバ 23 と、制御回路 24 と、電源回路 25 とを備えている。

【0085】絵素アレイ 21、ソースドライバ 22 およびゲートドライバ 23 は、基板 26 上に形成されている。基板 26 は、ガラスのような絶縁性かつ透光性を有する材料により形成されている。絵素アレイ 21 は、ソースライン $SL_1 \dots$ と、ゲートライン $GL_1 \dots$ と、絵素 27 \dots とを有している。

【0086】絵素アレイ 21 においては、多数のゲートライン $GL_1, GL_{1+1} \dots$ と多数のソースライン $SL_1, SL_{1+1} \dots$ とが交差する状態で配されており、隣接する 2 本のゲートライン $GL \cdot GL$ と隣接する 2 本のソースライン $SL \cdot SL$ とで包囲された部分に絵素（図中、PIX にて示す）27 が設けられている。このように、絵素 27 \dots は、絵素アレイ 21 内でマトリクス状に配列されており、1 列あたりに 1 本のソースライン SL が割り当てられ、1 行あたりに 1 本のゲートライン GL が割り当てられている。

【0087】液晶ディスプレイの場合、各絵素 21 は、図 9 に示すように、スイッチング素子であるトランジスタ T と、液晶容量 C_L を有する絵素容量 C_P とによって構成されている。一般に、アクティブマトリクス型液晶ディスプレイにおける絵素容量 C_P は、表示を安定させるために、液晶容量 C_L と並行に付加された補助容量 C

を有している。補助容量 C は、液晶容量 C_L やトランジスタ T のリーク電流、トランジスタ T のゲート・ソース間容量、絵素電極・信号線間容量等の寄生容量による絵素電位の変動、液晶容量 C_L の表示データ依存性等の影響を最小限に抑えるために必要となる。

【0088】トランジスタ T のゲートは、ゲートライン GL_1 に接続されている。また、液晶容量 C_L および補助容量 C の一方の電極は、トランジスタ T のドレインおよびソースを介してソースライン SL_1 に接続されている。液晶容量 C_L の他方の電極は、液晶セルを挟んで対向電極に接続され、補助容量 C の他方の電極は、全絵素に共通の図示しない共通電極線（Cs on Common 構造の場合）、または隣接するゲートライン GL （Cs on Gate 構造の場合）に接続されている。

【0089】多数のゲートライン $GL_1, GL_{1+1} \dots$ は、ゲートドライバ 23 に接続され、多数のデータ信号線 $SL_1, SL_{1+1} \dots$ は、ソースドライバ 22 に接続されている。また、ゲートドライバ 23 およびソースドライバ 22 は、それぞれ異なる電源電圧 $V_{GH} \cdot V_{GL}$ と電源電圧 $V_{SH} \cdot V_{SL}$ とにより駆動されている。

【0090】ソースドライバ 22 は、制御回路 24 により与えられた映像信号 DAT を制御回路 24 からの同期信号 CKS およびスタートパルス SPS に基づいてサンプリングして各列の画素に接続されたソースライン $SL_1, SL_{1+1} \dots$ に出力するようになっている。ゲートドライバ 23 は、制御回路 24 からの同期信号 CKG・GPS およびスタートパルス SPG に基づいて各行の絵素 27 \dots に接続されたゲートライン $GL_1, GL_{1+1} \dots$ に与えるゲート信号を発生するようになっている。

【0091】電源回路 25 は、電源電圧 $V_{SH} \cdot V_{SL} \cdot V_{GH} \cdot V_{GL}$ 、接地電位 COM および電圧 V_{BS} を発生する回路である。電源電圧 $V_{SH} \cdot V_{SL}$ は、それぞれレベルの異なる電圧であり、ソースドライバ 22 に与えられる。電源電圧 $V_{GH} \cdot V_{GL}$ は、それぞれレベルの異なる電圧であり、ゲートドライバ 23 に与えられる。接地電位 COM は、基板 26 に設けられる図示しない共通電極線に与えられる。

【0092】ここで、上記のトランジスタ T は、前述の実施の形態 1 ないし 3 における薄膜トランジスタ 1・11（図 1 および図 5 参照）である。薄膜トランジスタ 1・11 は、前述のように、移動度が高く高性能であるので、この薄膜トランジスタ 1・11 を絵素 27 を駆動するトランジスタ T に用いることで、動作速度および表示品位の優れたマトリクス表示装置を提供することが可能になる。

【0093】特に、動作周波数の比較的低いゲートドライバ 23 を構成する回路素子のうち、トランジスタで構成される回路において、各トランジスタが、前述の薄膜トランジスタ 1・11 である。これは、薄膜トランジスタ 1・11 が高性能（高移動度など）を有することによ

って可能となる。

【0094】また、絵素27のトランジスタTと駆動回路のトランジスタを同じトランジスタ1・11で構成することによって、これらのトランジスタを同一の基板26上に同じプロセスを用いて同時に作製することが可能になる。それゆえ、マトリクス表示装置の製造工程が削減されるので、マトリクス表示装置の低コスト化を図ることができる。

【0095】以上のように、絵素27用のトランジスタTおよび駆動回路用のトランジスタとして、併せて薄膜トランジスタ1・11を用いることによって、安価で、動作速度および表示品位の優れたマトリクス表示装置を提供することが可能になる。

【0096】以上、本実施の形態および前記の他の実施の形態において、幾つかの例を示したが、本発明は、上記の各実施の形態に限定されることなく、同様の概念に基づく全ての構成に適用される。

【0097】

【発明の効果】以上のように、本発明の薄膜トランジスタは、 ZnO 、 $Mg_x Zn_{1-x}O$ 、 $Cd_x Zn_{1-x}O$ または CdO 、もしくは1価の価数を取りうる元素またはNiがドーピングされた ZnO 、 $Mg_x Zn_{1-x}O$ 、 $Cd_x Zn_{1-x}O$ または CdO を用いた半導体層と、ゲート電極と界面を形成する酸化物以外の材料を用いた第1絶縁膜と、この第1絶縁膜および前記半導体層に挟まれ、双方と界面を形成する酸化物を用いた第2絶縁膜とを有するゲート絶縁膜とを備えている構成である。

【0098】このように、ゲート絶縁膜を異なる2層の絶縁膜で構成することによって、第2絶縁膜と界面を形成する半導体層の結晶性の向上と、半導体層と第2絶縁膜との界面の欠陥準位の低減とを図ることができる。また、第2絶縁膜を酸化物で構成することで、第2絶縁膜の材料によって半導体層から酸素が奪われることを抑制できる。それゆえ、半導体層の第2絶縁膜との界面付近の結晶性が良好に保持される。この結果、オフ領域での漏れ電流レベルが低く、かつ移動度が高いスイッチング特性の良好な薄膜トランジスタが実現できる。したがって、透明半導体膜を有する薄膜トランジスタの高性能化を容易に実現することができるという効果を奏する。

【0099】上記の薄膜トランジスタにおいて、前記第2絶縁膜は、 SiO_2 、 Ta_2O_5 、 Al_2O_3 、 TiO_2 、 MgO 、 ZrO_2 、 $stab-ZrO_2$ 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いることで、第2絶縁膜の材料によって半導体層から酸素が奪われることがほとんどなくなる。したがって、より高性能な薄膜トランジスタを提供することができるという効果を奏する。

【0100】本発明の他の薄膜トランジスタは、 Zn

O 、 $Mg_x Zn_{1-x}O$ 、 $Cd_x Zn_{1-x}O$ または CdO 、もしくは1価の価数を取りうる元素またはNiがドーピングされた ZnO 、 $Mg_x Zn_{1-x}O$ 、 $Cd_x Zn_{1-x}O$ または CdO を用いた半導体層と、ゲート電極と界面を形成する酸化物以外の材料を用いた第1絶縁膜と、この第1絶縁膜および前記半導体層に挟まれ、かつ双方と界面を形成し、 $KNbO_3$ 、 $KTaO_3$ 、 $BaTiO_3$ 、 $CaSnO_3$ 、 $CaZrO_3$ 、 $CdSnO_3$ 、 $SrHfO_3$ 、 $SrSnO_3$ 、 $SrTiO_3$ 、 $YScO_3$ 、 $CaHfO_3$ 、 $MgCeO_3$ 、 $SrCeO_3$ 、 $BaCeO_3$ 、 $SrZrO_3$ 、 $BaZrO_3$ 、 $LiGaO_2$ 、 $LiGaO_2$ の混晶系($Li_{1-x}Na_xK_x$)($Ga_{1-x}Al_x$) O_2 またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いた第2絶縁膜とを有するゲート絶縁膜とを備えている構成である。

【0101】このように、ゲート絶縁膜を異なる2層の絶縁膜で構成することによって、第2絶縁膜と界面を形成する半導体層の結晶性の向上と、半導体層と第2絶縁膜との界面の欠陥準位の低減とを図ることができる。特に、上記の酸化物および固溶体は、半導体層を構成する ZnO などとの格子不整合が小さく、界面整合性を極めて良好に保つことができる。また、第2絶縁膜を上記の酸化物で構成することで、第2絶縁膜の材料によって半導体層から酸素が奪われることがほとんどない。それゆえ、半導体層の第2絶縁膜との界面付近の結晶性が良好に保持される。この結果、オフ領域での漏れ電流レベルが低く、かつ移動度が高いスイッチング特性の良好な薄膜トランジスタが実現できる。したがって、透明半導体膜を有する薄膜トランジスタの高性能化を容易に実現することができるという効果を奏する。

【0102】上記の各薄膜トランジスタにおいて、前記第1絶縁膜が SiN_x を用いていることにより、 SiN_x がゲート絶縁膜に良好な絶縁特性を与えるので、このため、第2絶縁膜を薄く形成しても、ゲート絶縁膜の絶縁性を十分確保できる。したがって、異なる2種類の絶縁膜からなるゲート絶縁膜の厚みの増大を抑制して、薄膜トランジスタのサイズ大型化を回避することができるという効果を奏する。

【0103】上記の各薄膜トランジスタにおいて、その上に前記半導体層が形成され、 $KNbO_3$ 、 $KTaO_3$ 、 $BaTiO_3$ 、 $CaSnO_3$ 、 $CaZrO_3$ 、 $CdSnO_3$ 、 $SrHfO_3$ 、 $SrSnO_3$ 、 $SrTiO_3$ 、 $YScO_3$ 、 $CaHfO_3$ 、 $MgCeO_3$ 、 $SrCeO_3$ 、 $BaCeO_3$ 、 $SrZrO_3$ 、 $BaZrO_3$ 、 $LiGaO_2$ 、 $LiGaO_2$ の混晶系($Li_{1-x}Na_xK_x$)($Ga_{1-x}Al_x$) O_2 またはこれらの酸化物のうち少なくとも2つを含む固溶体を用いた下地層をさらに備え、スタガ型に形成されていることにより、前述の薄膜トランジスタにおける第2絶縁膜と同様、半導体層との格子整合性が良好になる。これにより、基板材

料に関わらず、半導体層の特性の劣化が防止されるので、基板材料を半導体層との格子整合性が良好な材料に限定する必要がない。したがって、透明半導体膜を有するスタガ型の薄膜トランジスタにおいても、高性能化を容易に実現することができるという効果を奏する。

【0104】本発明のマトリクス表示装置は、マトリクス状に配列されたスイッチング素子を備えたマトリクス表示装置であって、上記のいずれかの薄膜トランジスタを前記スイッチング素子として用いている構成であるので、マトリクス表示装置におけるスイッチング特性が向上する。したがって、表示品位の優れたマトリクス表示装置を提供することができるという効果を奏する。

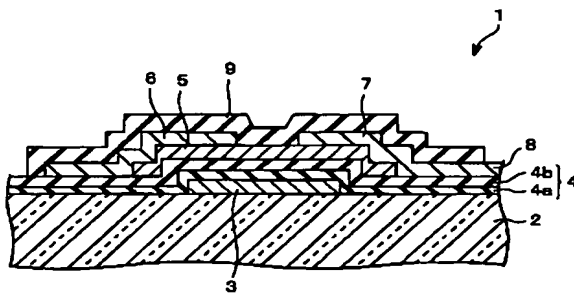
【0105】上記のマトリクス表示装置においては、前記スイッチング素子を駆動する駆動回路を備え、上記のいずれかの薄膜トランジスタを前記駆動回路を構成するトランジスタとして用い、前記スイッチング素子および前記トランジスタが同時に形成されることにより、マトリクス表示装置の製造工程の削減が図られる。したがって、マトリクス表示装置のコスト低下を実現することができるという効果を奏する。

【図面の簡単な説明】

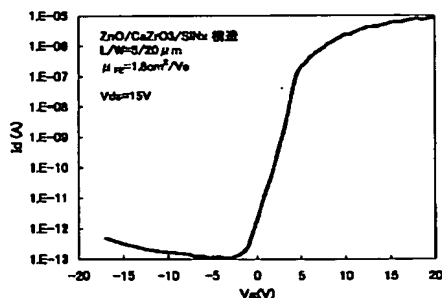
【図1】本発明の第1および第2の実施の形態に係る薄膜トランジスタの構成を示す断面図である。

【図2】(a)ないし(f)は上記薄膜トランジスタの製造工程を示す各部の断面図である。

【図1】



【図4】



*【図3】上記薄膜トランジスタの一作製例の $V_{gq}-I_d$ 特性を示すグラフである。

【図4】本発明の第2の実施の形態に係る薄膜トランジスタの一作製例の $V_{gq}-I_d$ 特性を示すグラフである。

【図5】本発明の第3の実施の形態に係る薄膜トランジスタの構成を示す断面図である。

【図6】(a)ないし(g)は上記薄膜トランジスタの製造工程を示す各部の断面図である。

【図7】本発明の第3の実施の形態に係る薄膜トランジスタの一作製例の $V_{gq}-I_d$ 特性を示すグラフである。

【図8】本発明の第4の実施の形態に係るマトリクス表示装置の主要部の構成を示すブロック図である。

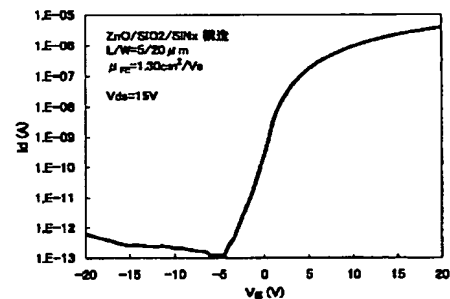
【図9】上記マトリクス表示装置における絵素の構成を示す回路図である。

【図10】従来の薄膜トランジスタの一作製例の $V_{gq}-I_d$ 特性を示すグラフである。

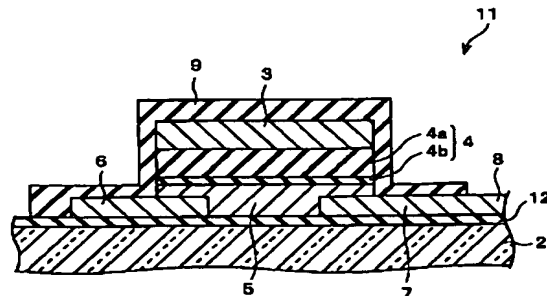
【符号の説明】

- | | |
|-------|------------|
| 1 | 薄膜トランジスタ |
| 3 | ゲート電極 |
| 4 | ゲート絶縁膜 |
| 4 a | 第1絶縁膜 |
| 4 b | 第2絶縁膜 |
| 5 | 半導体層 |
| 1 1 | 薄膜トランジスタ |
| * 1 2 | 下地絶縁膜(下地層) |

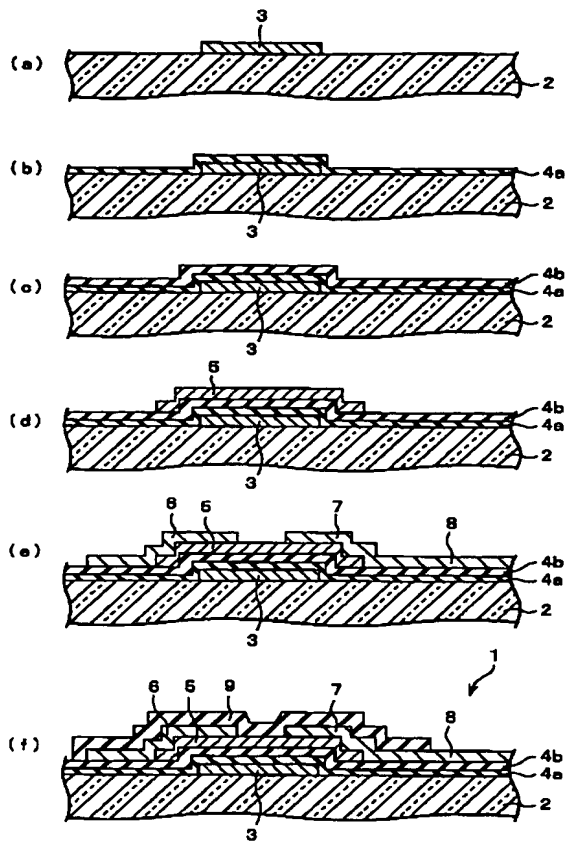
【図3】



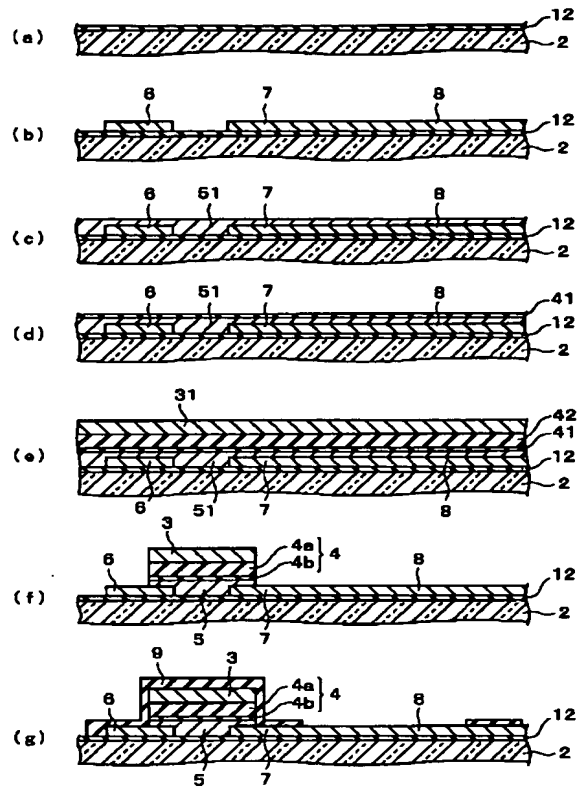
【図5】



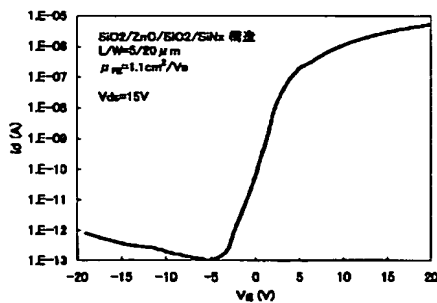
【図2】



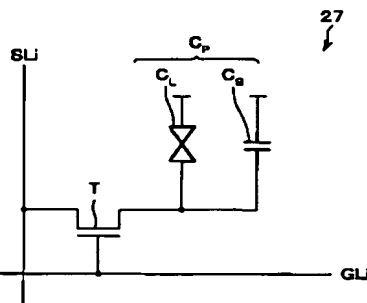
【図6】



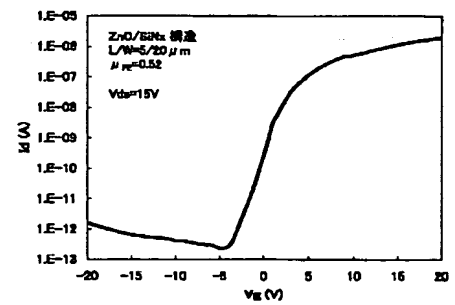
【図7】



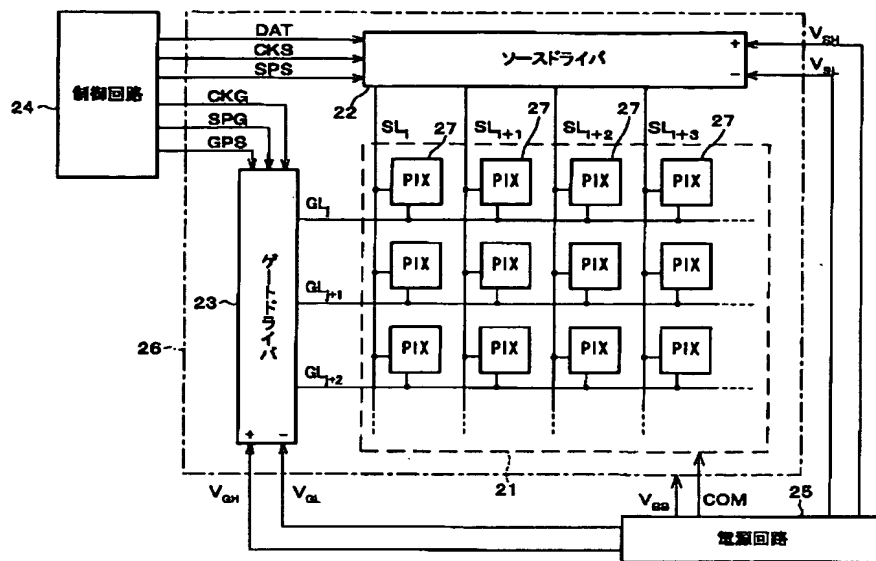
【図9】



【図10】



【図8】



フロントページの続き

(72)発明者 川崎 雅司
神奈川県相模原市相模大野4-2-5-116
(72)発明者 大野 英男
宮城県仙台市泉区桂3-33-10
(72)発明者 小林 和樹
大阪府大阪市阿倍野区长池町22番22号 シャープ株式会社内
(72)発明者 迫野 郁夫
大阪府大阪市阿倍野区长池町22番22号 シャープ株式会社内

Fターム(参考) 2H092 JA40 KA07 KA10 MA05 MA08
NA21
5F110 AA01 AA05 AA06 AA16 AA21
BB02 CC05 CC07 DD01 DD02
DD03 DD12 EE03 EE04 EE44
FF01 FF02 FF03 FF05 FF09
FF27 FF28 FF30 GG01 GG24
GG28 GG29 GG32 GG42 GG43
HK04 HK07 HK21 HK33 NN04
NN24 NN35 NN72 NN73